

XILINX PLD-k

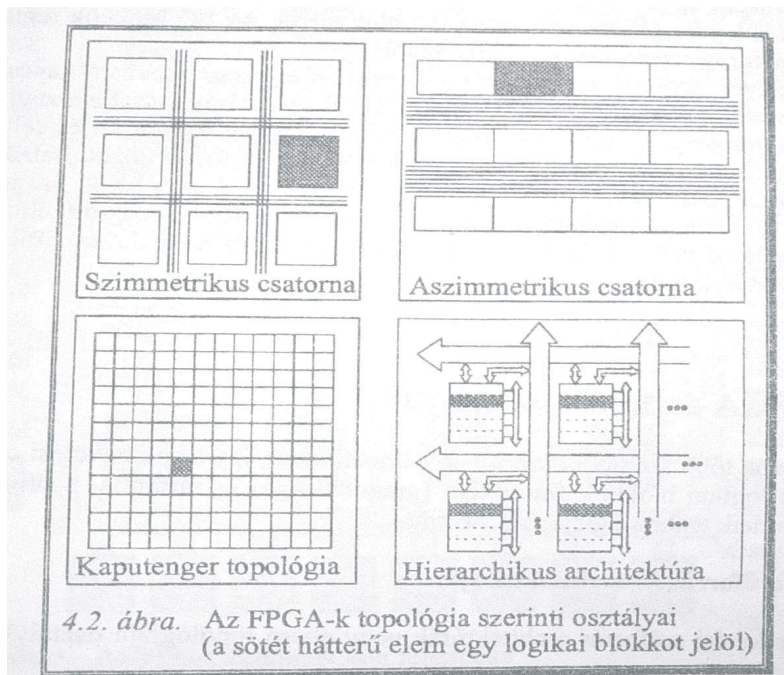
XILINX PLD 1, **CPLD** (FLASH alapú)
 2, **FPGA** (SRAM alapu)

Alkalmazásuk: - alacsony fejlesztési költség
 - alacsony gyártási költség
 - nagy megbízhatóság

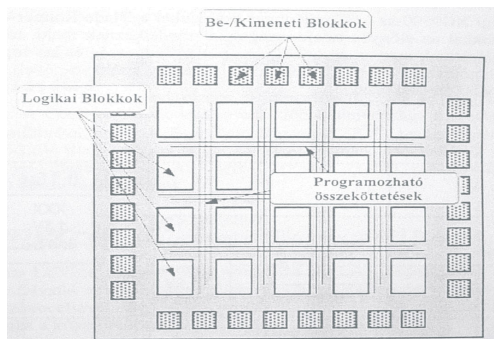
XILINX FPGA-k (Field Programmable Gate Array)
 LCA -k / Logic Cell Array /

Összekötési erőforrás architektúrák jelenleg négy eltérő topológia szerint csoportosíthatók

- szimmetrikus csatornájú eszközök
- aszimmetrikus csatornájú eszközök
- kaputenger topológiájú eszközök
- hierarchikus architektúrájú eszközök



FPGA-k belső felépítése:



CLB - Configurable Logic Block

konfigurálható logikai blokk

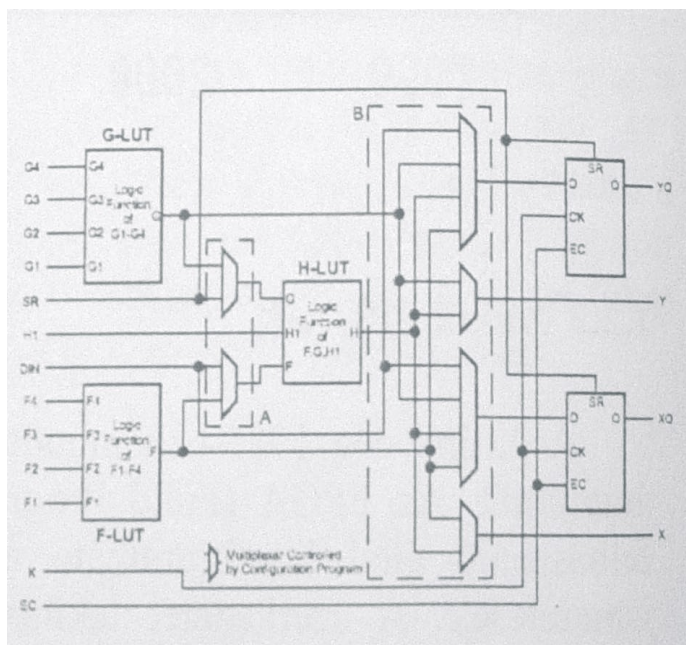
IOB - Input/Output Block

bemeneti-kimeneti blokk

PIP - Programmable Interconnect Point

programozható összeköttetések pont

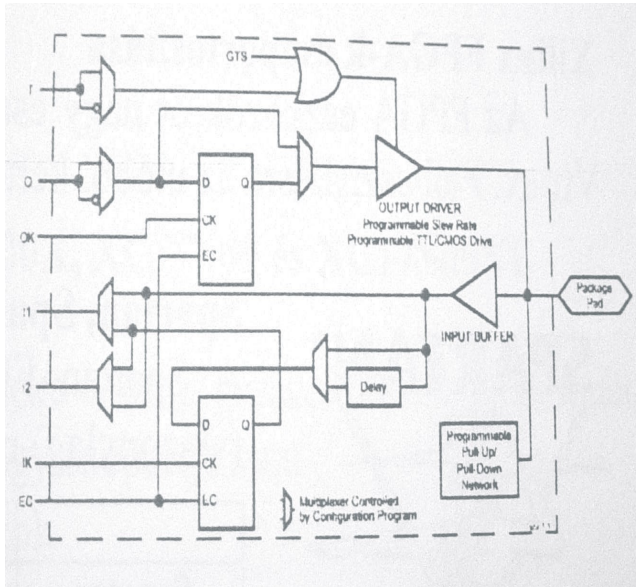
CLB: az FPGA központi alapeleme



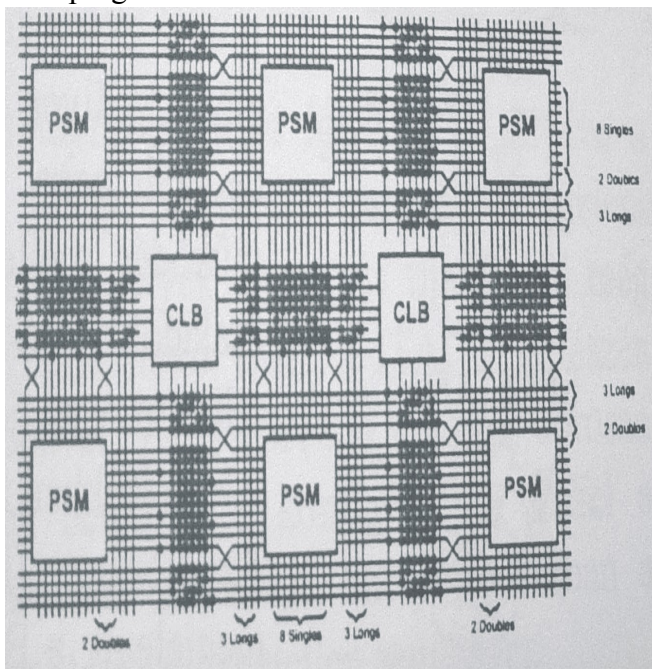
- ezzel valósítható meg a logikai hálózat
- tartalmaz: f-f-okat, négybemenetű függvénygenerátorokat, és multiplexereket
- függvénygenerátor: ((LUT ; Look-Up Table / kereső tábla)
n bemenetű 1 bites memória 2^n term (PMÁ)
- CLB-ben lévő függvénygenerátorokat képes a rendszer önállóan is használni

IOB be,kimeneti blokk

- definiálható bemenetként, kimenetként, kétirányú csatlakozásként



PIP programozható összeköttetések:



- CLB és IOB közti kapcsolat
- keresztpontokban a szükséges összeköttetéseket a konfigurációs memória (SRAM) által vezérelt tranzisztros kapcsolómátrix végzi (alapeset: szakadás)
- rövid, dupla, hosszú összeköttetések
- összeköttetések kialakítását a fejlesztőrendszer automatikus huzalozója végzi

FPGA programozás:

CLB-k, IOB-k, PI kötési állapotai SRAM-ban (konfigurációs memóriában) tárolódnak. A konfigurációs memória feltöltése lehet: / Boot PROM /

- sorosan
- párhuzamosan
- Master üzemmódban: külső PROM
- Slave üzemmódban: külső vezérlő (pl. uP, uC)
- JTAG-on keresztül: konfigurálás, és tesztelés

XILINX FPGA típusok: XC3000, XC4000, XC5200, Spartan, Virtex

	táp(V)	CLB sz.	max.I/O	max.kapuszám	gy.techn(um).
XC2000	5	100	74	1.800	
XC3000	5	484	176	9.000	
XC4000	5	1024	256	25.000	

	táp(V)	késl.(ns)	max.I/O	max.kapuszám	gy.techn(um).
Spartan	5	3	205	40.000	0.035
Spartan-XL	3.3	4	224	40.000	0.035
Spartan-II	2.5	5	284	200.000	
Spartan-IIe	1.8		329	300.000	

	táp(V)	késl.(ns)	max.I/O	max.kapuszám	gy.techn.(um)
Virtex	2.5	4	512	< 1.000.000	0.22, 5 réteg
Virtex-E	1.8	6	804	< 4.000.000	0.18, 6 réteg
Virtex-II	1.5	4	1108	< 10.000.000	0.15, 8 réteg

- felhasználás: videó, DSP, kommunikáció
- nagyteljesítményű szorzó
- nagyszámú konfigurálható I/O port

XILINX Boot PROM eszközök:

- egyszer programozható (OTP)
 - XC17V00 (Virtex sorozathoz)
 - XC17S00A (Spartan-II sorozathoz)
 - XC17S00 (Spartan sorozathoz)
 - XC17S00XL (Spartan sorozathoz)
- újra programozható (Flash)
 - XC18V00 (elsősorban Virtex sorozathoz)

FPGA alkalmazás menete

- **terv bevitele:**
default könyvtár, saját könyvtár, hierarchikus kapcsolási rajz (szintaktika!)
- **szimuláció, és funkcionális verifikáció:**
tesztvektorok segítségével ellenőrizzük, hogy a kapcsolásunk megfelel-e a funkcionális követelményeknek
- **terv leképzése konkrét FPGA architektúrára:** (technology mapping)
konfigurálható logikai blokkok (CLB-k) által nyújtott lehetőségek alapján a tervező rendszer megtervezi a logikai függvényeket, és tárolóelemeket.
- **elhelyezés és huzalozás:**
a tervnek megfelelően a logikai elemeket hozzárendeli az FPGA-ban lévő fizikai blokkokhoz (CLB), majd megtervezi a CLB-k közti fizikai összeköttetést ! Kritikus a tervező rendszer jósága !
- **behuzalozott terv késleltetéseinek számítása:**
áramkörökből adódó valódi jelkésleltetés
- **szimuláció és időzítési verifikáció a számított késleltetéseket figyelembe véve:**
valós időadatokon alapuló szimuláció, max. sebesség kihasználásának lehetősége, esetleges hazárdok
- **FPGA konfigurációs adatainak létrehozása:**
a létrejövő a konfigurációs file (saját és/vagy ASCII formátum) tartalmazza az FPGA konfigurációs adatait. Konfigurációs adatok tárolása.
- **FPGA programozása:**
konfigurációs adatok alapján a programozó készülék felprogramozza az FPGA-t, vagy a Boot PROM-ot.
- **programozott FPGA tesztelése:**
valós környezet, idő, hőmérséklet, tápfeszültség változás stb. tesztelés

FPGA-k jellegzetességei

- regiszterben gazdag architektúra
- **CLB-k** kevés bemeneti számra optimalizáltak
- **huzalozás és elhelyezés bizonytalansága miatt nagyon fontos a valósídejű szimuláció !**
- tervezőrendszer része a funkcionális blokk editor, ami lehetővé teszi ,
hogy a feladathoz legjobban illesztett saját funkcionális elemeket hozzunk létre
- **léteznek TTL, CMOS könyvtári elemek, de ezek alkalmazása nem ad optimális megoldást.**

Felmerülő hibák

- órajel csúszás:

hosszú órajel utak, és órajel bufferelés esetén felmerülő késleltetések miatt az órajelek nincsenek fázisban az áramkör különböző részein. Hibás működés!

Kiküszöbölés: FPGA-ban az órajelet a neki fenntartott gyors vezetékeken kell vezetni. Bufferelés esetén minden irányba tegyünk buffert, hogy a jelkésleltetések azonosak legyenek

- metastabilitás:

f-f-ok bemeneti változása az órajel változáshoz képest túl közel van, akkor a f-f metastabil állapotba kerülhet. Jelenség, hogy a f-f kimenete az órajelváltozáshoz képest definiált késleltetésnél később jelenik meg, és egy ideig a kimenet nincs logikai szinten. Nem jósolható meg a metastabil állapot hossza, és a végén a kimenet véletlenszerűen áll be. Főleg az órajelekhez képest aszinkron jelbemenetek eseté fordul elő.

Kiküszöbölés: Cél, hogy $T(\text{met}) < T_{f-f_clk}$
két f-f egymásután kapcsolásával csökkenteni lehet a hibás működés valószínűségét

- ugráló földelés:

IC-k belsejében egyszerre sok kimenet változik, akkor a táp és földvezetéken tüskék jelennek meg. Földpotenciál változás veszélyesebb.

Kiküszöbölés: - megfelelő elosztott földelés, több föld és tápvezeték

- megfelelő áramú tápegység
- jó földelési rendszer
- szűrőkondenzátorok
- többrétegű NYÁK
- IC összes föld és tápvezetékét ki kell használni
- SR korlátozási lehetőség kihasználása
- nagyfrekvenciás és nagyáramú vezetékeket szétválasztani a nagyérzékenységű bemenetektől
- CLK vezetéket földvezetékek között vezetni
(FPGA lábkiosztás szempontja)

- Latchup:

CMOS áramkörök esetén parazita tranzistorok bizonyos feltételek mellett bekapcsolódnak, => nagy áram, IC tönkremenetele

Esetek: - IC bemenetét meghajtjuk mielőtt tápot kapna

- Túlfeszültség a táp és föld között, bemeneten negatív feszültség
(bekapcsoláskor táp túllengés, hosszú vezeték, induktív hatás)
- túlhajtás (kapacitív terhelés)

Kiküszöbölés: fenti lehetőségek megszüntetése